YCC75-0410CQ1

C波段四通道多功能芯片
数据手册

四川益丰电子科技有限公司　　Sichuan YiFeng Electronic Science & Technology Co., LTD

产品介绍

YCC75-0410CQ1 为一款四通道多功能芯片，布局形式为 RTRT。芯片 3.3V 和-5V 电源供电，工作频率范围为 4GHz～10GHz，芯片内部集成四个单通道，一个公共通道。单通道集成功率放大器，低噪声放大器，驱动放大器，6 位移相器（步进 5.625°），6 位衰减器（步进 0.5dB），收发切换开关等电路，公共通道集成功率合成/分配器和巴伦电路。片上集成数字波控电路，用来实现通道的收发控制，6 位移相和 6 位衰减等功能的控制。本芯片所有对外接口均为单端输入输出，对外射频端口实现 50Ω匹配，无须外接匹配电路，产品采用 QFN 封装，封装尺寸 7.5mm×7.5mm。

应用领域

- 雷达
- 通信系统

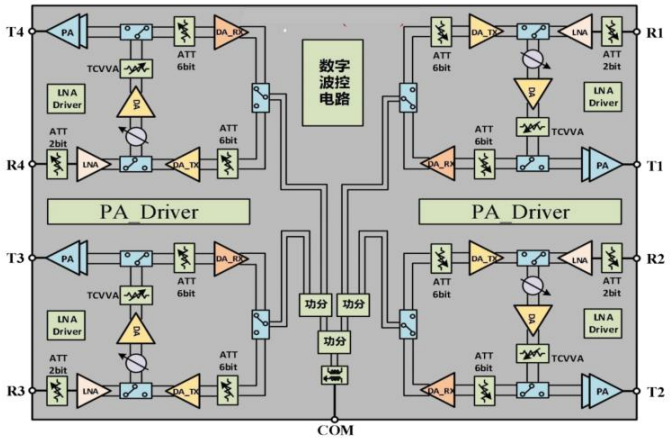


图 1 功能框图

关键技术指标

- 工作电源电压：VDD33=3.3V，VEE=-5V
- 工作频率范围：4GHz～10GHz
- 6 位衰减控制位，步进 0.5dB
- 6 位移相控制位，步进 5.6°
- 接收增益：1～2dB（Rn 端到 COM 端）
- 发射增益：9～10dB（COM 端到 Tn 端）
- 端口驻波比 VSWR：＜2
- 接收噪声系数 NF：＜13dB
- 接收输入 P-1dB：0.5～3dBm
- 发射饱和输出功率：＞18dBm
- RMS 相移误差：＜2.6°
- 移相时幅度一致性：＜±1dB
- RMS 衰减误差：＜0.7dB
- 衰减附加相移：＜±4°
- 收发切换时间：＜100ns
- 单通道工作电流：103mA/122mA @接收/发射静态发射；210mA@发射饱和
- 芯片封装尺寸：7.5mm×7.5mm　QFN64

电话：028 61962718 & 61962728　　四川益丰电子科技有限公司　　邮箱：sales@yifengelectronics.com
传真：028 61962738　　成都市青羊区敬业路 218 号 K 区 7 栋 201 室 610091　　网址：www.yifengelectronics.com

电气特性

如无特殊注明，工作条件为：TA=25℃，VDD33=3.3V，VEE=-5V

表 1 基本电性能

参数	测试条件	最小值	典型值	最大值	单位
频率范围	-	4	--	10	GHz
接收线性增益	接收：P_{in}=-20dBm，基态 发射：P_{in}=-10dBm，基态	--	1.5	--	dB
接收增益平坦度		-1		1	dB
接收端口驻波比		--	--	1.9	--
接收噪声系数 NF		--	--	13	dB
发射线性增益		--	9.5	--	dB
发射增益平坦度		-0.5	--	0.5	dB
发射端口驻波比		--	--	2.3	--
COM 端口驻波比		--	--	1.6	--
RMS 相移误差		--	--	2.6	Deg
移相幅度一致性		-1	--	1	dB
RMS 衰减误差		--	--	0.7	dB
衰减附加相移		-4	--	4	Deg
接收输入 P-1	基态	--	2	--	dBm
发射输出功率	P_{in}=12dBm，基态	--	18.5	--	dBm
收发切换时间	基态	--	100	--	ns
接收单通道电流	P_{in}=-20dBm，基态	--	103	--	mA
发射单通道电流	P_{in}=-10dBm，基态	--	122	--	mA
发射单通道动态电流	P_{in}=12dBm，基态	--	210	--	mA
VEE 驱动器电流	基态	--	1	--	mA

表 2 数字端口电参数

参数	符号	条件	最小值	最大值	单位
输入高电平电压	VIH	VDD = 3 V to 3.6 V,	0.65VDD		V
输入低电平电压	VIL	VDD = 3 V to 3.6 V,		0.25VDD	V
输入高电平电流	IIH	VDD = 3 V to 3.6 V,	－100	100	uA
输入低电平电流	IIL	VDD = 3 V to 3.6 V,	－100	100	uA
输出高电平电压	VOH	|IO|=4mA	VDD-0.6	VDD	V
输出低电平电压	VOL	|IO|=4mA	0	0.2	V

推荐工作条件

电源电压	VDD33=3.3V，VEE=-5V
输入功率	接收：≤-5dBm ；发射：≤15dBm
工作温度范围	-55℃～125℃

极限参数

最高电源电压	VDD33=3.6V，VEE=-5.5V
最大射频输入功率	接收：7dBm ；发射：17dBm
存储温度	-65℃～150℃
使用温度	-55℃～125℃

注意：对以上所列的最大极限值，如果器件工作在超过此极限值的环境中，很可能会对器件造成永久性破坏。在实际运用中，最好不要使器件工作在此极限值或超过此极限值的环境中。

典型曲线

如无特殊说明，测试条件为电源电压 VDD33=3.3V，VEE=-5V，常温环境

工作电流			
环境温度	单通道接收静态电流	单通道发射静态电流	四通道 VEE 电流
25℃	103mA	122mA	1mA
-55℃	97mA	114mA	1mA
125℃	117mA	135mA	1mA

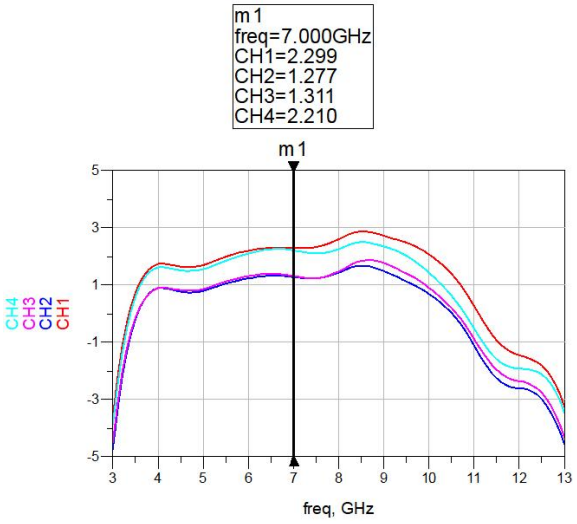


图 2 接收增益（Rn 到 COM 口）

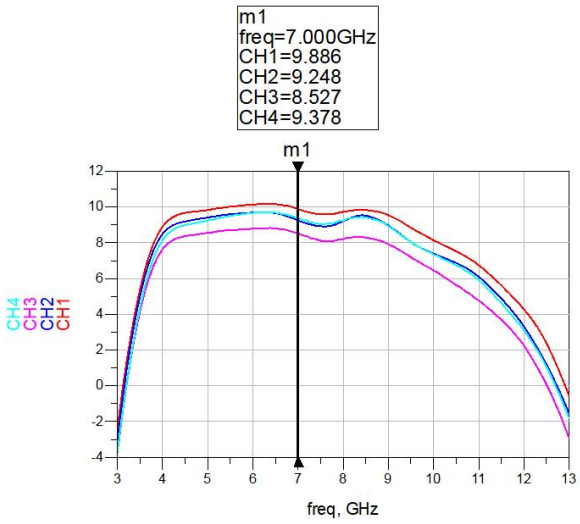


图 3 发射增益（COM 口到 Tn）

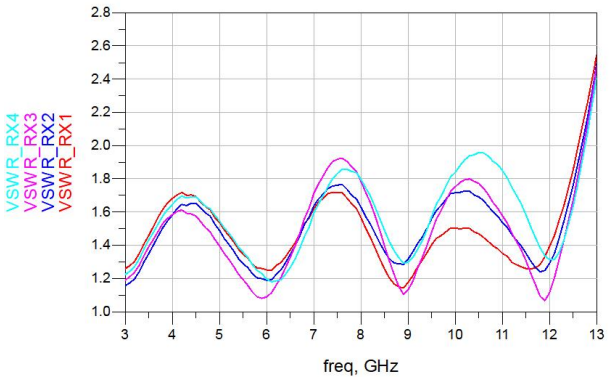


图 4 接收模式接收端口驻波

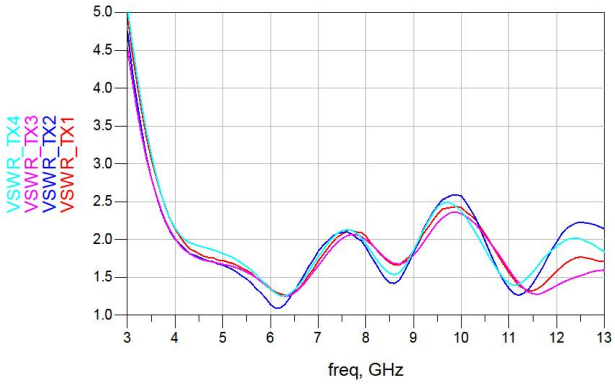


图 5 发射模式发射端口驻波

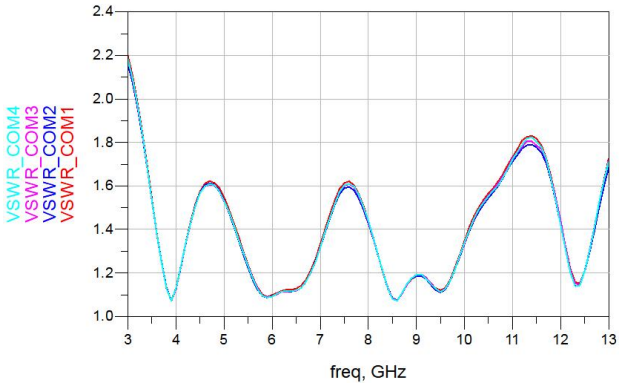


图 6 接收模式 COM 端口驻波

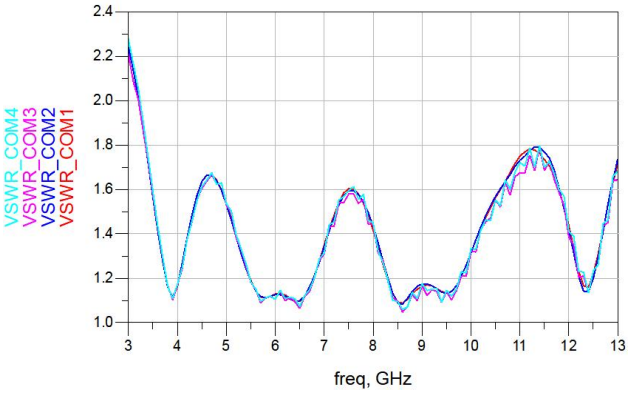


图 7 发射模式 COM 端口驻波

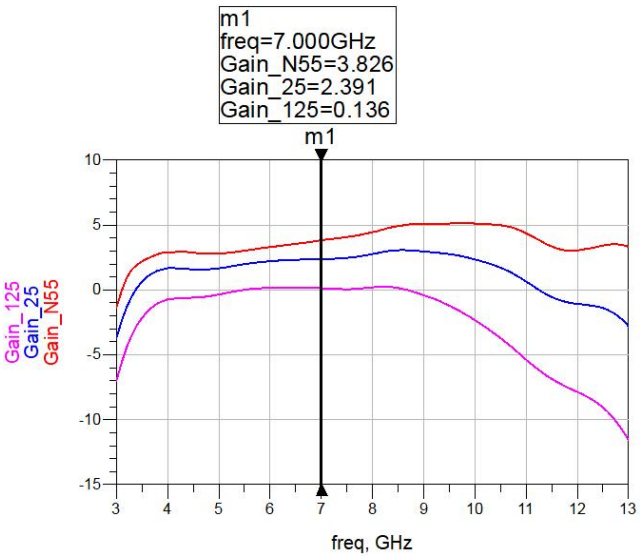


图 8 接收增益三温波动

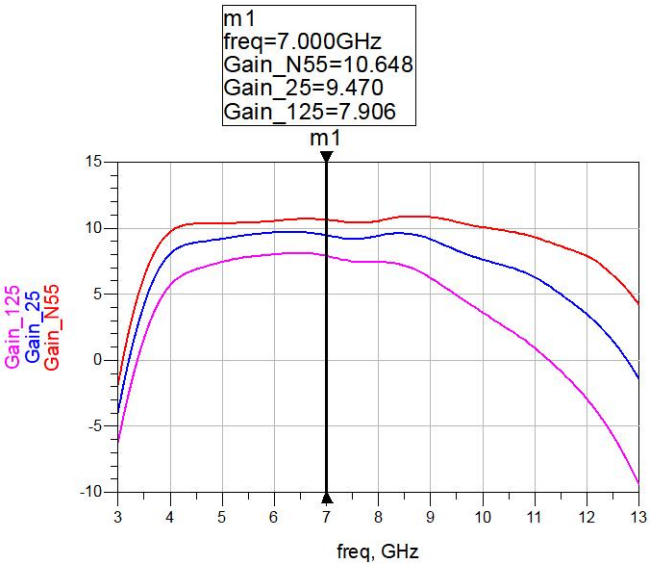


图 9 发射增益三温波动

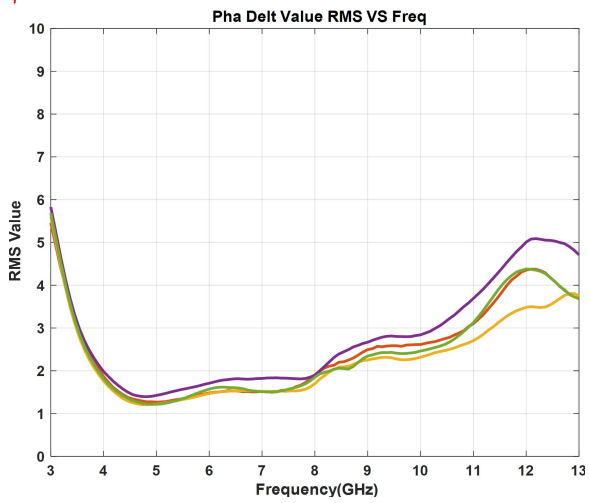


图 9 移相 RMS 相位误差

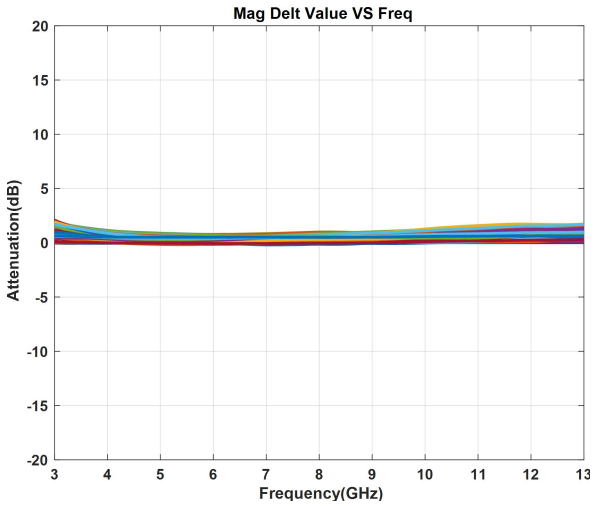


图 11 移相寄生调幅

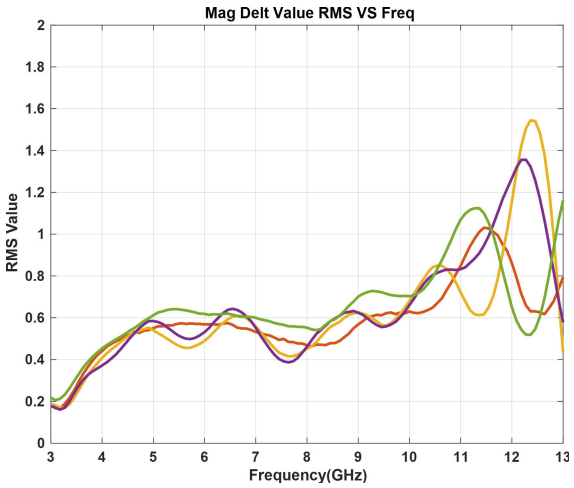


图 12 衰减 RMS 幅度误差

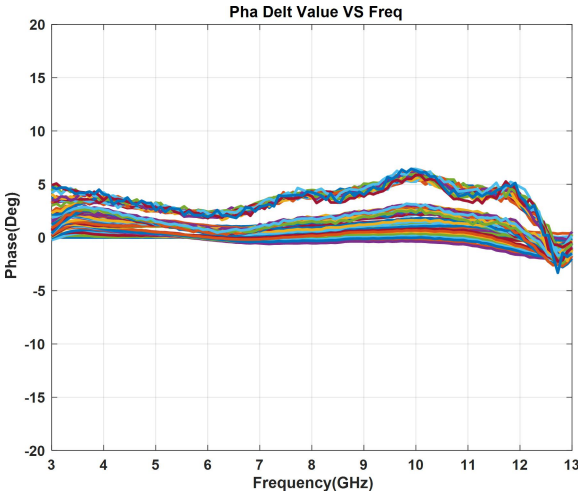


图 13 衰减寄生调相

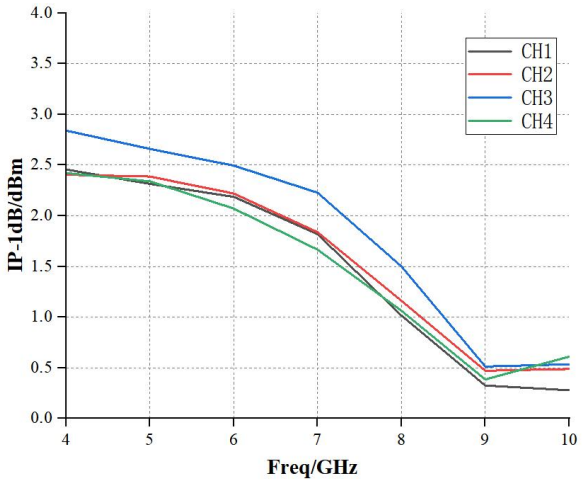


图 14 接收模式输入 1dB vs 频率

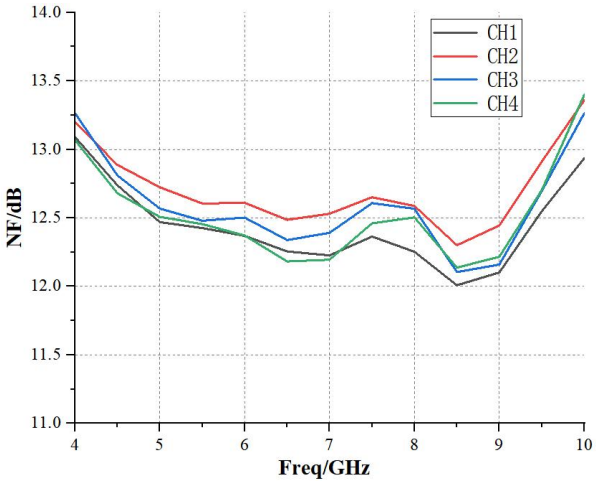


图 15 接收模式噪声系数 NF vs 频率

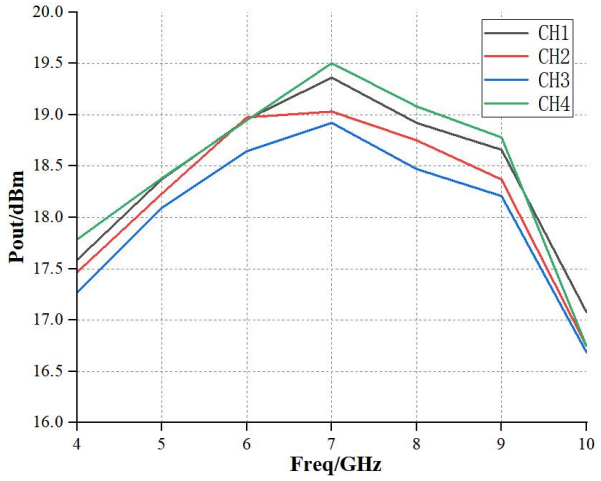


图 16 发射模式输出功率 vs 频率(Pin=12dBm)

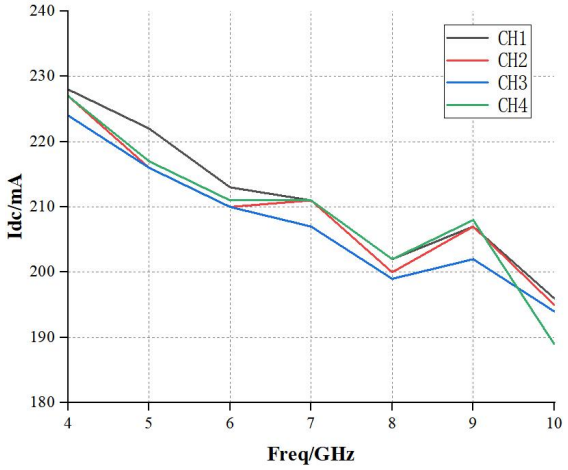
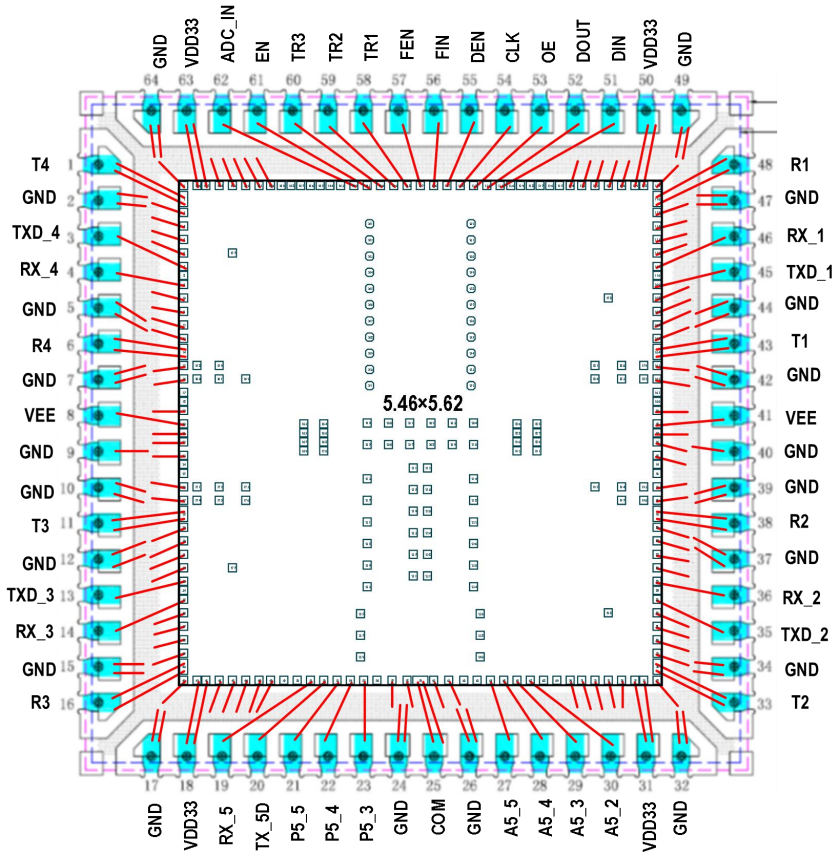


图 17 发射模式动态电流 vs 频率(Pin=12dBm)

管脚配置



封装：7.5mm×7.5mm
基岛：6.4mm×6.4mm
散热片：6.2mm×6.2mm

图 18 管脚示意图

表 3 引脚配置表

序号	引脚名称	引脚说明
1	T4	通道四发射输出
2	GND	射频地
3	TXD_4	波控输出通道四 TX_D 3.3V/0V 驱动能力 4mA
4	RX_4	通道四 LNA 调制输出正 3.3V/0V 驱动能力 50mA
5	GND	射频地
6	R4	通道四接收输入
7	GND	射频地
8	VEE	通道三四负压掉电保护-5V 电源
9	GND	射频地
10	GND	射频地
11	T3	通道三发射输出
12	GND	射频地
13	TXD_3	波控输出通道三 TX_D 3.3V/0V 驱动能力 4mA
14	RX_3	通道三 LNA 调制输出正 3.3V/0V 驱动能力 50mA
15	GND	射频地
16	R3	通道三接收输入
17	GND	射频地
18	VDD33	通道三 3.3V 电源
19	RX_5	波控输出通道五 RX 3.3V/0V 驱动能力 4mA
20	TX_5D	波控输出通道五 TX_D 3.3V/0V 驱动能力 4mA
21	P5_5	波控输出通道五移相控制位 3.3V/0V
22	P5_4	波控输出通道五移相控制位 3.3V/0V
23	P5_3	波控输出通道五移相控制位 3.3V/0V
24	GND	射频地
25	COM	射频公共端口
26	GND	射频地
27	A5_5	波控输出通道五衰减控制位 3.3V/0V
28	A5_4	波控输出通道五衰减控制位 3.3V/0V
29	A5_3	波控输出通道五衰减控制位 3.3V/0V
30	A5_2	波控输出通道五衰减控制位 3.3V/0V
31	VDD33	通道二 3.3V 电源
32	GND	射频地
33	T2	通道二发射输出
34	GND	射频地
35	TXD_2	波控输出通道二 TX_D 3.3V/0V 驱动能力 4mA
36	RX_2	通道二 LNA 调制输出正 3.3V/0V 驱动能力 50mA

序号	引脚名称	引脚说明
37	GND	射频地
38	R2	通道二接收输入
39	GND	射频地
40	GND	射频地
41	VEE	通道一二负压掉电保护-5V 电源
42	GND	射频地
43	T1	通道一发射输出
44	GND	射频地
45	TXD_1	波控输出通道一 TX_D 3.3V/0V 驱动能力 4mA
46	RX_1	通道一 LNA 调制输出正 3.3V/0V 驱动能力 50mA
47	GND	射频地
48	R1	通道一接收输入
49	GND	射频地
50	VDD33	通道一 3.3V 电源
51	DIN	波控串行数据输入
52	DOUT	波控串行数据输出，三态门输出，驱动能力≥4mA
53	OE	波控输出使能
54	CLK	波控输入时钟
55	DEN	波控信号，为低时串行数据有效
56	FIN	波控功能寄存器数据输入
57	FEN	波控功能寄存器数据使能
58	TR1	波控，tr1
59	TR2	波控，tr2
60	TR3	波控，tr3
61	EN	波控，使能控制
62	ADC_IN	ADC 数据输入 0～3.3V
63	VDD33	通道四 3.3V 电源
64	GND	射频地

ESD保护

YCC75-0410CQ1 防静电等级(人体模式 HBM)至少为 Class 1C：≥1000V。当拿取时，要采取合适的 ESD 保护措施，以免造成性能下降或功能失效。

封装方案

芯片采用 QFN64 管脚封装，尺寸为 7.5mm×7.5mm，详细尺寸信息如下图 19 和表 4 所示。封装后芯片背面金属是整个芯片直流和交流信号的地端以及芯片主要的散热输出端，应用时需要与板上地平面有充分理想的连接以及充分良好的散热。

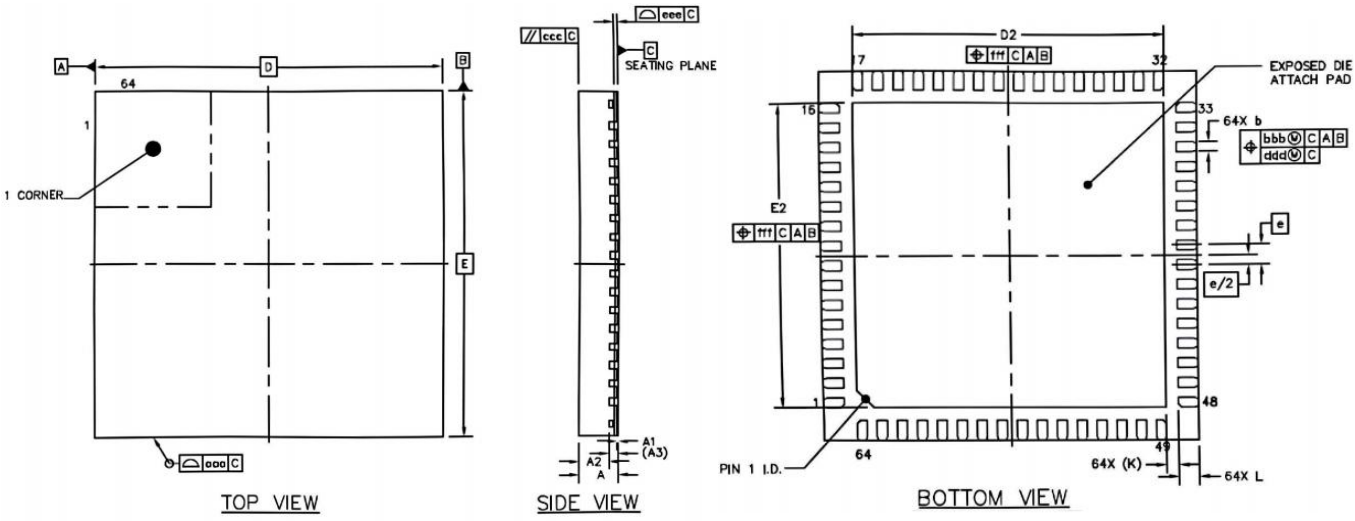


图 19 封装正面图、侧面图、底面图

表 4 封装尺寸信息

		SYMBOL	MIN	NOM	MAX
TOTAL THICKNESS		A	0.8	0.85	0.9
STAND OFF		A1	0	0.02	0.05
MOLD THICKNESS		A2	---	0.65	---
L/F THICKNESS		A3		0.203 REF	
LEAD WIDTH		b	0.15	0.2	0.25
BODY SIZE	X	D		7.5 BSC	
	Y	E		7.5 BSC	
LEAD PITCH		e		0.4 BSC	
EP SIZE	X	D2	6.1	6.2	6.3
	Y	E2	6.1	6.2	6.3
LEAD LENGTH		L	0.3	0.4	0.5
LEAD TIP TO EXPOSED PAD EDGE		K		0.25 REF	
PACKAGE EDGE TOLERANCE		aaa		0.1	
MOLD FLATNESS		ccc		0.1	
COPLANARITY		eee		0.08	
LEAD OFFSET		bbb		0.07	
		ddd		0.05	
EXPOSED PAD OFFSET		fff		0.1	

应用信息

数字波控功能

数字波控电路默认系统时钟为 5MHz。

数字部分主要包括 5 个相同的控制通道和一个公共逻辑，5 个控制通道中包含 reg_data1 模块，reg_data2 模块，reg_data3 模块，自检模块和开关控制逻辑；公共逻辑中包含 reg_fun1 模块，reg_fun2 模块，脉冲保护模块和温度保护模块。

单通道控制逻辑功能说明

串行数据寄存器 reg_data1

串行数据输入：DEN 为低，CLK 上升沿，数据从 DIN 端口依次写入第 1 组寄存器 reg_data1[0]；reg_data1 中原有数据依次从 reg_data1[0]移往 reg_data1[25]。

串行数据输出：单通道串行数据输出 dout 取 reg_data1[25]输出。

串行自检数据加载：当 CLK 上升沿检测到 DEN 高时，将由 reg_fun2[2][7:0]指定的自检数据写入串行寄存器 reg_data1。

串行数据寄存器 reg_data2

数据选择输入：在 den 上升沿后第一个 CLK 上升沿，将 reg_data1 写入功能寄存器 reg_fun2 [0] [4:0]选定的二级数据寄存器 reg_data2。二级数据寄存器 reg_data2 中 32 组数据定义如表 5。

数据选择输出：reg_fun2[1][4:0]选定的一组 reg_data2[n][25:0]输出，用于相位衰减和控制。

表 5 二级数据寄存器数据定义

reg_data2[n][25:0]中数据定义																								
D25	D24	D23	D22	D21	D20	D19	D18	D17	D16	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
AT5	AT4	AT3	AT2	AT1	AT0	MCT	MCR	AR5	AR4	AR3	AR2	AR1	AR0	PT5	PT4	PT3	PT2	PT1	PT0	PR5	PR4	PR3	PR2	PR1	PR0

串行数据寄存器 reg_data3

DEN 为低，DIN 串行输入{5{26'h15D5A5A}}进行内部解锁。

在 FEN 上升沿后第二个 CLK 上升沿，当 reg_fun1[11:8]=4'h1 时，将 reg_fun1[7:0]指定的 reg_data2 数组对应地址中的数据 dat_seled 写入 reg_data3 寄存器；否则 reg_data3 寄存器保持不变。

每次更新 reg_data3 都要写一次 reg_fun1，不写 reg_fun1 不更新。

PH 和 ATT 功能控制输出

表 6 移相和衰减功能控制输出逻辑

输入	通道 1～通道 5 输出		状态
TR1	PH[5:0]	ATT[5:0]	
1	PT[5:0]	AT[5:0]	发射态
0	PR[5:0]	AR[5:0]	接收态

开关控制输出

开关控制逻辑如表 7 所列，其中输入信号 tr3_in 取值自 TR3 选择模块，PTR2 取值自脉宽保护模块，MCT、MCR 取值自 reg_data3，ot_flag 为内部温度保护模块的输出信号。

表 7 通道 1～4 开关控制输出逻辑

输入							波控输出				对应通道状态
EN	ot_flag	TR1	PTR2	tr3_in	MCT	MCR	RX	TX0	TX1	TX_D	
0	0	0	0	0	x	0	1	0	0	0	接收态
0	0	1	0	0	x	0	0	0	0	0	过渡态
0	0	1	1	0	0	x	0	1	0	1	脉冲发射态
0	0	1	0	1	0	x	0	0	1	1	连续波发射态
其它组合							0	0	0	0	负载态

注：（1）当 tr3_sel 信号为低电平时，tr3_in=TR3；当 TR3SEL 信号为高电平时，TR3_in=reg_fun2[1][7]。该芯片 tr3_sel 在内部已通过电阻接地，固定为低电平，故 tr3_in=TR3。

（2）当脉宽保护使能 pro_en 关闭为 0 时，PTR2=TR2；当脉宽保护使能 pro_en 关闭为 1 时，若触发脉宽保护 pro_out 为 1 时，PTR2=0，否则 PTR2=TR2。

PTR2 逻辑如下表 8 所示。

表 8 PTR2 逻辑

输入		输出
pro_en	pro_out	PTR2
0	x	TR2
1	0	TR2
1	1	0

串行输入时序：

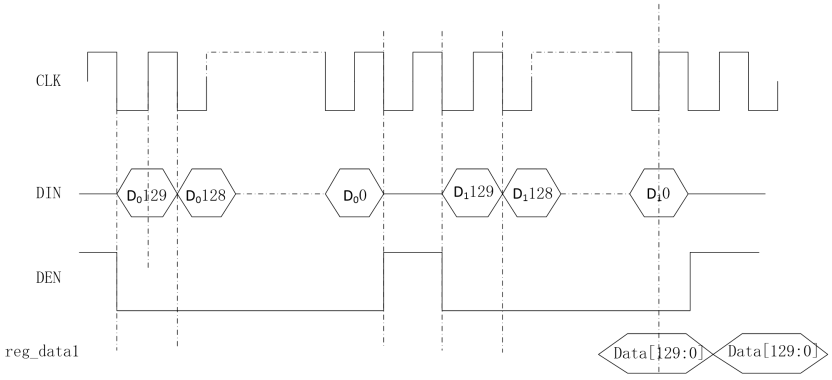


图 20 串行输入时序

串行输出时序：

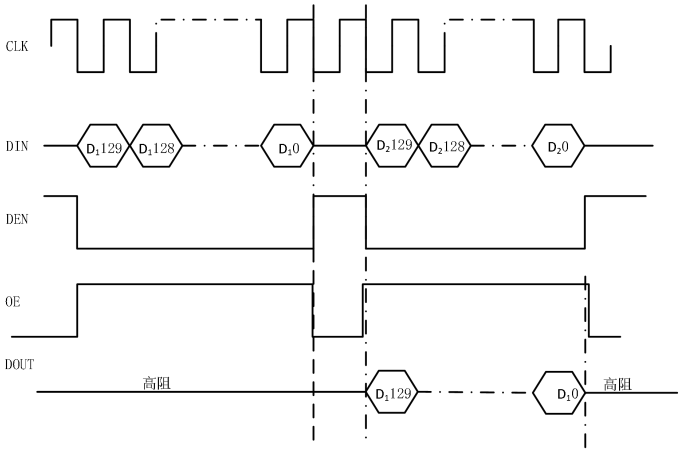


图 21 串行输出时序

功能寄存器输入时序：

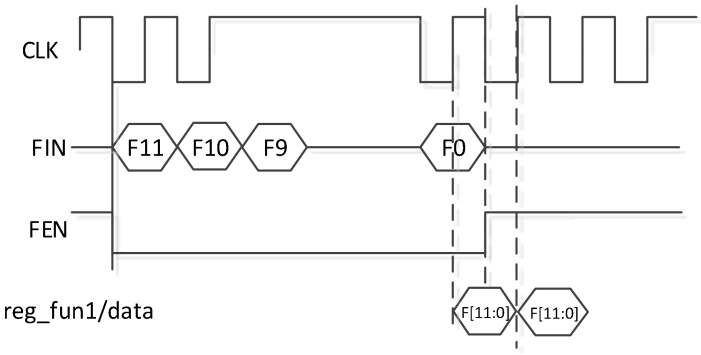


图 22 功能寄存器输入时序

装配示意图

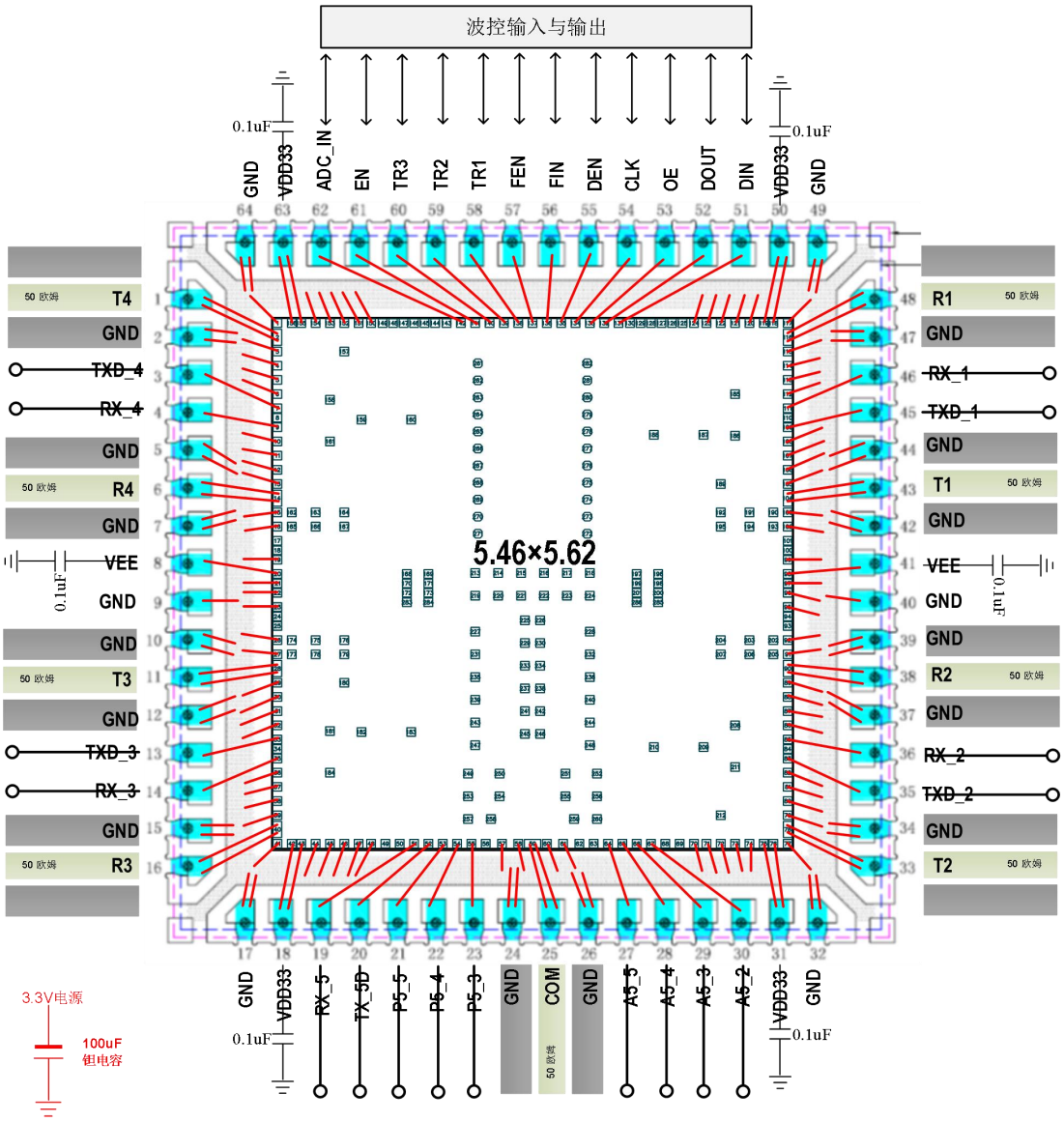


图 23 装配示意图

装配说明

上图 23 所示为 YCC75-0410CQ1 芯片封装装配示意图。本芯片的电源电压为 VDD33 正电 3.3V，VEE 负电-5V。应用时靠近芯片的电源焊盘处放置 0.1uF 贴片电容到地，此外，本四通道芯片需要至少 100uF 的钽电容滤波，用来降低脉冲切换时芯片端电源电压的波动。芯片工作时，需先给电源端口上电，再给波控 I/O 口控制信号。本芯片集成负压掉电保护功能，当 VEE 负电源掉电后波控将强制进入负载态。

低噪声放大器漏极调制 RX_1～4 输出 3.3V，驱动能力≥50mA（输出电压＞3.1V）。

注意事项

- 存储：芯片必须放置于具有静电防护功能的容器中，并在氮气环境下保存。
- 清洁处理：裸芯片必须在净化环境中操作使用，禁止采用液态清洁剂对芯片进行清洁处理。
- 静电防护：请严格遵守 ESD 防护要求，避免器件静电损伤。
- 常规操作：拿取芯片请使用真空夹头或精密尖头镊子。操作过程中要避免工具或手指触碰到芯片表面。